

PU020353 (JP63204837) ON 7797

(19) Japan Patent Office (JP)

(11) Patent pending publication

12. Patent pending publication (A) 63-204837

(51) Int.Cl.⁵ Identification number Control number

H 04 L 7/02 B-6745-5K

H 03 L 7/14 A-8731-5J

(43) Publication from 1988-8-24

Inspection Application Application
paragraphs in total – 1 (overall 4 pages)

54. Inventions name – SYNCHRONIZATION DEVICE

21. Application number – 62-36131

22. Application date – 1987-2-19

72. Inventor – HAMADA HIROSHI; Tokyo-to, Oota-ku,
Shitamaruko 3-chome 30-2 CANON INC.

71. Applicant – CANON INC., Tokyo-to, Oota-ku, Shitamaruko
3-chome 30-2

74. Representative – MARUSHIMA GIICHI, Patent attorney

Specification

1. Inventions name – SYNCHRONIZATION DEVICE

2. Patent application field

The synchronization device having the phase comparator and voltage control oscillator, provides the control of the voltage controlling oscillator by means of alternate signal voltage correspondent to the phase difference obtained by means of the phase comparator, and provides the signal with synchronized phase and frequency toward the input signal.

REF.	AB	PU020353
COUNTRY	JAPAN	
CORRES.	US/UK	

The synchronization device adds the input signal detector, crystal oscillator and selector, where the selector is having the input signal and the oscillation output of crystal oscillator inputted, the selection output of the selector being inputted to the phase comparator, the input signal detector selecting the output of the selector, and the selection of the oscillation output of the crystal oscillator provided in case when there is no input signal, or selecting the input signal, in case there is one.

3. Detailed description of the invention

[Technical field]

The titled invention is corresponding to the synchronization device providing the signal with the synchronized phase and frequency to the input signal.

[Conventional technique]

For example, during the serial transmitting of the digital data, in case of the high-speed transmission rate, the synchronization clock is modulated to a appropriate form within the data as in the conventional DMI modulation, which means that the transmission is provided with the digital modulating. Graph 2 is the example of the DMI modulated signal.

Moreover, in the reception part, the digital modulated signal is modulated to the live data, that is the NRZ (No Return to Zero) form, and conventionally the PLL circuit is used in order to reproduce the synchronization clock from the modulation signal each time such modulation is provided.

The PLL circuit is classified into two types. The first is the APLL (Analogue Phase Locked Circuit) and the second is the DPLL (Digital Phase Locked Circuit).

Graph 3 is the representative clock graph of the APLL circuit.

Operational brief explanation

The input signal and the reproduction clock of the frequency divider is inputted to the phase comparator, and the phase comparing 1 has the alternate signal voltage being outputted corresponding to the phase difference of the two inputs. In the mentioned data communication, the input signal in case of the PLL circuit usage is the synchronization pulse, as indicated in the graph 4, obtained from the receive signal.

The outputted alternate signal voltage is composed of the oscillation control voltage of the voltage control oscillator (VCO) 4 by means of low-pass filter 2 and amplifier 3, and the VCO4 output provides the frequency dividing by means of the frequency divider 5, thus forming the reproduction clock.

Therefore, the APLL has the input signal and the reproduction clock phases combined by means of controlling the VCO4 oscillation frequency, however, the complete digital part using the counter and the shift register within the phase combining part is the DPLL.

Moreover, when the data communication is provided, the data is sent burst as in case of the packet communication, and if the PLL circuit is used, as indicated in graph 5 having the interval with no signal before or after the data, there is a problem of the time (lock time) up to the moment when the reproduction clock is synchronized, or up to the moment when the phase comparator two input phases could coincide.

In case of the packet communication provided, before or after the data, the packet for obtaining the synchronization within the reception part before or after the data or the so-called preamble pattern is added as indicated in graph 5, and in case if the PLL circuit lock time within the reception part is long, the long preamble pattern is necessary, thus the transmission efficiency is reduced.

Here, in case, when the comparative transmission rate is low, the lock time short DLL circuit is used, so the DPLL circuit provides the operating with the clock of the transmission rate of one – ten times greater, thus the circuit is increased in the size and the greater expenses correspondent to the big amount of the high-speed IC when using the high transmission rate signal are needed.

Consequently, regarding the cost, it is necessary to use the APLL; however, the conventional APLL circuit has the long lock time with the long preamble time being necessary, so, the transmission efficiency is reduced.

[Purpose]

The titled invention takes to account the points mentioned in above, and has the purpose to provide the economical PLL circuit having the lock time reduced by means of improving the conventional APLL circuit.

[Practical example]

The detailed description of the titled invention will be given in below.

Graph 1 is the block graph of the PLL circuit of the titled invention. The crystal oscillator 6, selector 7, carrier detection circuit 9 etc. are added to the conventional APLL circuit within the graph 3.

Firstly, the explanation concerning the titled invention basis will be given.

Taking to the consideration the fact that the lock time of the conventional APLL circuit is long, and that the VCO oscillation control voltage during the interval having no signal is unbalanced, the reproduction clock frequency could alternate from the reception signal transmission rate. Therefore, the VCO was controlled after the signal reception launched, so there was a long time period before the reproduction clock frequency was synchronized with the transmission rate, so the lock time was increased.

Here, the titled invention is using the crystal oscillator having the same oscillation frequency with the transmission rate, and provides the synchronization of the reproduction clock 11 frequency with the transmission rate even during the no-signal time, so the lock is quickly omitted even during the reception launch time.

Next, the graph 6 operating will be explained in below.

Firstly, during the no-signal time, the no-signal state is detected by means of the carrier detection circuit 9. The carrier detection circuit controls the selector 7, and provides the input of the crystal oscillator 6 output to the phase comparator. The crystal oscillator 6 oscillation frequency is synchronized with the transmission rate, and the reproduction clock is stabilized having the transmission rate equal with the frequency.

Next, when the reception signal is incoming, the carrier detection circuit 9 detects the reception launch, and provides the control for the selector 7, thus the synchronization pulse extraction circuit 8 is having the

synchronization pulse obtained from the reception signal being inputted. In such moment, the carrier detection circuit 9 has the reception signal being stabilized, and the selector 7 switching is being slightly delayed.

When the selector 7 switch is provided, the reproduction clock in the time when the switch being provided when the PLL lock operating is about to start PLL lock operating becomes equal with the transmission rate, and the reproduction clock phase is quickly synchronized with the reception signal phase.

[Results]

As it was indicated in the explanation in above, simple circuits such as the crystal oscillator, the input signal detector etc. were added to the conventional APLL circuit, so that it is possible to obtain the shorter lock time.

4. Graph brief explanation.

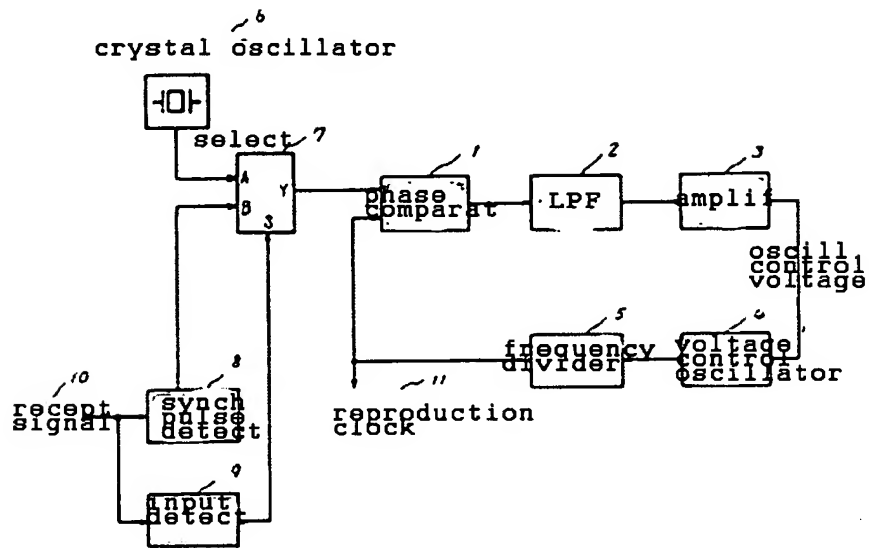
Graph 1 is the block graph indicating the PLL circuit of the titled invention; Graph 2 is the graph indicating the DMI modulation waveform, Graph 3 is the block graph indicating the conventional APLL circuit, Graph 4 is the graph indicating the synchronization pulse obtained from the DMI modulation waveform, Graph 5 is the graph indicating the data flow part within the packet communication, Graph 6 is the graph indicating the 1 example of the transmission signal head part within the packet transmission.

1 is the phase comparator, 2 is the low-pass filter, 3 is the amplifier, 4 is the voltage control oscillator (VCO), 5 is the frequency divider, 6 is the crystal oscillator, 7 is the selector, 8 is the synchronizing pulse extraction circuit, 9 is

the input signal detection circuit, 10 is the reception signal,
11 is the reproduction clock.

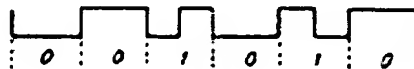
Applicant – CANON INC

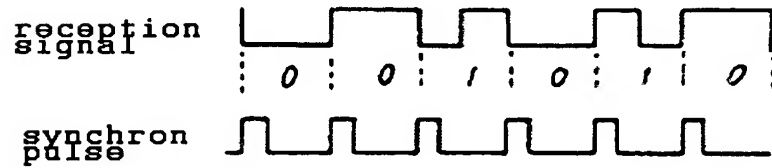
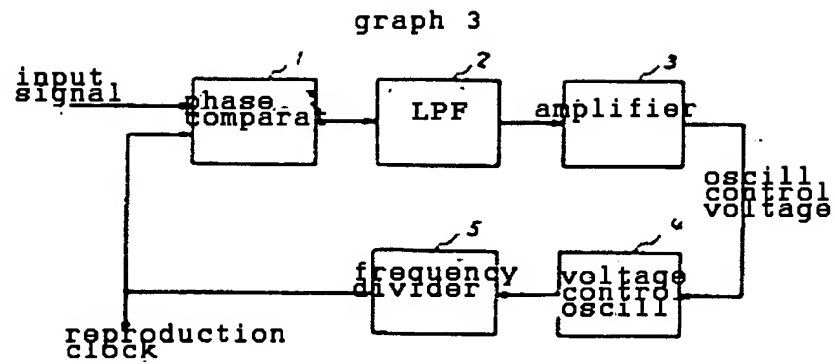
Representative – MARUSHIMA GIICHI, Patent attorney



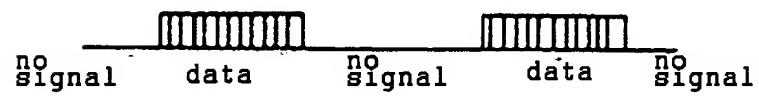
graph 1

graph 2

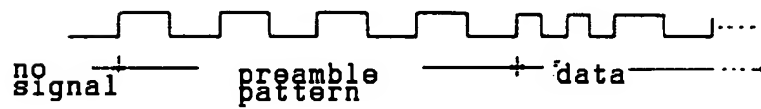




graph 4



graph 5



graph 6

⑫ 公開特許公報(A)

昭63-204837

⑤ Int. Cl.⁴H 04 L 7/02
H 03 L 7/14

識別記号

庁内整理番号

B-6745-5K
A-8731-5J

④ 公開 昭和63年(1988)8月24日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 同期装置

⑰ 特 願 昭62-36131

⑱ 出 願 昭62(1987)2月19日

⑲ 発 明 者 浜 田 博 志 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
㉑ 代 理 人 弁理士 丸 島 儀 一

明 細 書

1. 発明の名称

同期装置

2. 特許請求の範囲

位相比較器と電圧制御発振器とを備え、該位相比較器より得られる位相差に応じた差信号電圧により該電圧制御発振器を制御し、入力信号に対して位相と周波数が同期した信号を発生する同期回路であって、入力信号検出器と水晶発振器とセレクタを備え、該セレクタには該入力信号と、該水晶発振器の発振出力が入力され、該セレクタの選択出力は該位相比較器に入力され、該入力信号検出器は、該セレクタの出力を選択し、該選択においては、該入力信号が存在しない場合は、該水晶発振器の発振出力を選択し、該入力信号が存在する場合は、該入力信号を選択することを特徴とする同期装置。

3. 発明の詳細な説明

〔技術分野〕

本発明は、入力信号に位相と周波数が同期し

た信号を発生させる同期装置に関するものである。

〔従来技術〕

たとえば、デジタルデータをシリアル伝送する場合、伝送レートが高速の場合には、一般にDMI変調のように、データのなかに同期クロックが含まれる形に変調、すなわちデジタル変調を行って、伝送する。第2図はDMI変調された信号の例である。

そして受信する側においては、このデジタル変調された信号を、生のデータ、すなわちNKZ(No Return to Zero)の形に復調するのであるが、この復調を行なう再に変調信号から同期クロックを再生するために一般にPLL回路が用いられる。

PLL回路は2種類に分類される。1つはAPLL(アナログPLL)であり、1つはDPLL(デジタルPLL)である。

第3図に、APLL回路の代表的なブロック図を示す。

動作を簡単に説明する。

入力信号と、分周器の出力であるところの再生クロックは位相比較器1に輸入され、位相比較器1はその2つの入力の位相差に応じた差信号電圧を出力する。前述のデータ通信に、当PLL回路を使用する場合入力信号とは受信信号から得られた第4図示の如くの同期パルス等である。

出力された差信号電圧は、ローパスフィルタ2、増幅器3により電圧制御発振器(VCO)4の発振制御電圧となり、VCO4の出力は分周器5によって分周されて、再生クロックとなる。

このように、APLLはVCO4の発振周波数を制御することにより入力信号と再生クロックの位相を合わせるのであるが、この位相合わせの部分のカウンタやシフトレジスタ等を用いて完全にデジタル化したものが、DPLLである。

さて、データ通信を行う際に、データが、パ

よって、コスト的に、APLLを使わざるを得ない場合があるが、一般に従来のAPLL回路はロックタイムが長くなり、長いプリアンプルパターンが必要となり、伝送効率が悪くなっていた。

[目的]

本発明は以上の点に鑑みてなされたもので、従来のAPLL回路に改良を加えることにより低廉でかつロックタイムの短いPLL回路を構成できるようになった。

[実施例]

以下本発明について詳細に説明する。

第1図が、本発明によるPLL回路のブロック図の一例である。第3図の従来のAPLL回路に対し、水晶発振器6、セクタ7、キャリア検出回路9等が付加されている。

まず、本発明の原理について説明する。

従来のAPLL回路のロックタイムが長い原因の1つは、無信号時にはVCOの発振制御電圧が不安定であるので、再生クロックの周波数

ケット通信の場合のようにバースト的に到来して、無信号区間がデータの前後に存在する第5図示の如くの場合、PLL回路を使用すると、受信開始から、再生クロックが受信信号に同期するまで、すなわち第3図の位相比較器1の2つの入力の位相が合致するまでの時間(ロックタイム)が問題となる。

パケット通信を行う場合は、データの前部に、受信側で同期を取るためのパターン、いわゆるプリアンプルパターンを第5図の如く付加するが、受信側のPLL回路のロックタイムが長い場合には、長いプリアンプルパターンが必要となり、伝送効率が悪くなる。

そこで比較的伝送レートが低い場合は、ロックタイムの短いDPLL回路が使用されるが、DPLL回路は、伝送レートの数倍〜10数倍程度のクロックで動作し、回路の規模も大きくなるので伝送レートの高い信号に使用すると高速のICが大量に必要となり高価なものとなる。

が、受信信号の伝送レートからかなりはずれることであった。そのため受信が開始されてからVCOがコントロールされ、再生クロックの周波数が伝送レートと同等になるまでに時間がかかり、ロックタイムが長くなっていた。

そこで、本発明においては、伝送レートと同じ発振周波数を持つ水晶発振器を用いて、無信号時にも再生クロック11の周波数を伝送レートに合わせておき、受信開始時に、迅速にロックがかかるようにした。

第6図の動作を説明する。

まず、無信号時であるが、キャリア検出回路9により、無信号であることが検出される。するとキャリア検出回路はセクタ7をコントロールし、位相比較器1に水晶発振器6の出力を入力する。水晶発振器6の発振周波数は伝送レートに合わせてあるので、再生クロックは、伝送レートとほぼ同じ周波数で安定する。

次に、受信信号10が到来すると、キャリア検出回路9が受信開始を検出し、セクタ7を

コントロールして、位相比較器 1 に、同期パルス抽出回路 8 が受信信号から得た同期用パルスを入力するようにする。このときキャリア検出回路 9 は、受信信号が安定するまで、セレクタ 7 の切換を若干おくらせる。

このセレクトア7の切換が行われると、PLLのロック動作が始まるわけであるが切換が行われた時点で再生クロックは伝送レートにほぼ等しくなっているので、再生クロックの位相を迅速に受信信号の位相に合わせることができる。

〔 效 果 〕

以上説明したように、従来のAPLL回路に、水晶発振器、入力信号検出器、セクタという簡単な回路を付加するのみで、ロツクタイムを短くすることができるという効果がある。

4. 図面の簡単な説明

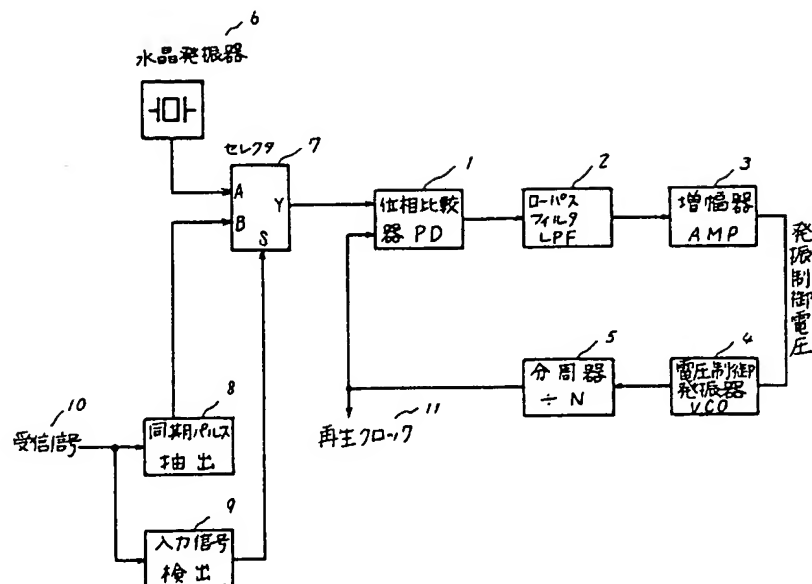
第1図は本発明によるPLL回路のブロック図、第2図は、DMI変調波形を示す図、第3図は従来のAPLL回路のブロック図、第4図は、DMI変調波形から得られる同期パル

スを示す図、第5図は、パケット通信におけるデータの流れ分を示す図、第6図は、パケット通信における伝送信号の先頭部の1例を示す図である。

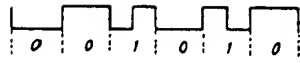
1 は位相比較器、2 はローパスフィルタ、
3 は増幅器、4 は電圧制御発振器 (VCO)、
5 は分周器、6 は水晶発振器、7 はセレクトラ、
8 は同期パルス抽出回路、9 は入力信号検出回
路、10 は受信信号、11 は再生クロックを示
す。

出願人 キヤノン株式会社

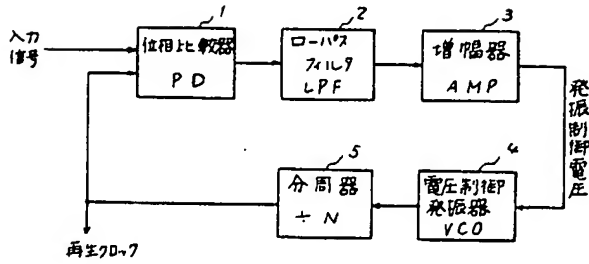
代理人 丸 島 儀



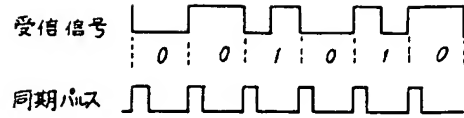
第 1 回



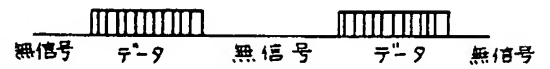
第2図



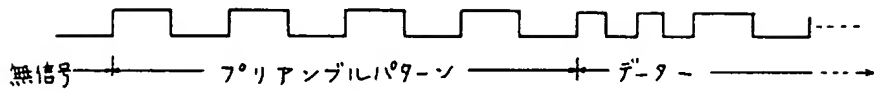
第3図



第4図



第5図



第6図